

BEST AVAILABLE COPY

⑨日本国特許庁(JP)

⑪特許出願公開

⑩公開特許公報(A)

昭54—144922

⑤Int. Cl.<sup>2</sup>  
H 02 M 3/335

識別記号 ⑥日本分類  
56 A 21

府内整理番号 ⑦公開 昭和54年(1979)11月12日  
6957—5H

発明の数 1  
審査請求 有

(全 8 頁)

⑧スイッチング電源の制御方式

番 6 号 東京電気化学工業株式会社内

⑨特 願 昭53—52320

⑪出願人 東京電気化学工業株式会社

⑩出願 昭53(1978)5月2日

東京都中央区日本橋一丁目13番

⑫発明者 藤田元良

1号

東京都千代田区内神田2丁目14

⑬代理人 弁理士 村井隆

明細書

1. 発明の名前

スイッチング電源の制御方式

2. 特許請求の範囲

(1) インダクタと直インダクタの電流を断続するスイッチング素子とを有するスイッチング電源において、前記インダクタのエネルギー放出回路の電流を検出し、該取出回路の電流が第1の設定値にまで低じた時前記スイッチング素子をオンさせ、前記インダクタの電流が第2の設定値に達した時前記スイッチング素子をオフすることを特徴とするスイッチング電源の制御方式。

(2) スイッチング電源の出力電圧の増大に従つて前記第1の設定値を可変する特許請求の範囲第1項記載のスイッチング電源の制御方式。

(3) スイッチング電源の出力電圧の増大に従つて前記第2の設定値を可変する特許請求の範囲第1項又は第2項記載のスイッチング電源の制御方式。

(4) 前記エネルギー放出回路の電流を検出した検

出信号と同期信号との合成信号により前記スイッチング素子をオンさせる特許請求の範囲第1項、第2項又は第3項記載のスイッチング電源の制御方式。

3. 発明の詳細な説明

本発明は、インバータあるいはコンバータを用いたスイッチング電源の制御方式に関する。

スイッチング電源としては、従来より1石フライバック型、1石フォワードコンバータ型、チャップ型、ブッシュフル型、ブリッジ型等の各種の方式のものが用いられている。ところで、これらのスイッチング電源を大出力ストロボクゼノンランプ駆動電源等の大容量性負荷電源として用いる場合や出力端短絡事故が生じた場合においては、出力トランジスタの過流保護及びスイッチング素子の応答遅延等に起因してスイッチング素子電流が増大し、遂には過大電流によりスイッチング素子の破損を招く危険性があるから、何らかの対策を施す必要がある。この不都合を避けるために、過電流保護回路を設け、高遅スイッチング素子を用い

かつ充分余裕のある出力トランスを用いるが、高価で大型なものになる欠点がある。

本発明は、上記の不都合を除去し、出力端短絡事故や容量性負荷等の接続に起因するスイッティング素子の破損を確実に防止して、信頼性の向上を図ったスイッチング電源の制御方式を提供しようとするものである。

以下、本発明に係るスイッチング電源の制御方式の実施例を図面に従って説明する。

第1図は本発明の第1実施例であつて、1石フライバック型のスイッチング電源に適用した場合を示す。この図において、出力トランス1の1次巻線1Aの一端にはスイッチング素子としてのトランジスタ2が直列に接続され、1次巻線1Aの他端は直流電源の正電源端子Pに、トランジスタ2のエミッタは電流検出用の抵抗器3を介して負電源端子Nに夫々接続され、負電源端子Nは接地される。トランス1の2次巻線1Bにはダイオード4及びコンデンサ5の整流回路が接続され、直流出力が出力端子A、Bに出されるようになって

いる。さらにコンデンサ5と2次巻線1Bとの間に電流検出用の抵抗器6が挿入される。なお、前記トランジスタ2のベース側には入力トランス7が設けられる。

一方、制御回路10は、前記入力トランス7を介して前記トランジスタ2に駆動信号を出力するドライブ回路11と、前記抵抗器3に生じた電圧 $V_1$ を非反転入力端子に受ける第1コンパレータ12と、前記抵抗器6に生じた電圧 $V_2$ を反転入力端子に受ける第2コンパレータ13と、アンドゲート14と、前記ドライブ回路11の作動及び停止を制御するフリップフロップ15とを有する。そして、前記第1コンパレータ12及び第2コンパレータ13の他方の入力端子には夫々基準電圧 $V_{ref1}$ 、 $V_{ref2}$ が印加されており、第1コンパレータ12の出力は前記フリップフロップ15のリセット入力Sに、第2コンパレータ13の出力はアンドゲート14の一方の入力端子に夫々加えられる。そのアンドゲート14の他方の入力端子には前記フリップフロップ15の反転出力Qが回路

○ の時間遅れによる誤動作を防止するための抵抗器16及びコンデンサ17の連延回路を介して印加され、アンドゲート14の出力はフリップフロップ15のセット入力Sに加えられる。フリップフロップ15の非反転出力Qはドライブ回路11に加えられ、出力Qが「1」(ハイレベル)の期間ドライブ回路11は駆動信号をトランジスタ2に加えてトランジスタ2をオンにする。

以上の構成において、電源投入時等の初期状態では、トランス1の1次電流 $I_1$ 及び2次電流 $I_2$ は零であるから、第1コンパレータ12の出力は「0」(ローレベル)、第2コンパレータ13の出力は「1」となる。従って、フリップフロップ15はリセット状態にあってもセットされ、ドライブ回路11を介してトランジスタ2はオンに駆動され始動する。トランジスタ2のオン期間中1次電流 $I_1$ は

$$I_1 = \frac{E}{L_1} t + I_0 \quad \dots \dots (1)$$

(但し、E：電源電圧、 $L_1$ ：トランス1の1次

インダクタンス、 $I_0$ ：トランス1の残留エネルギーの等価1次電流、t：トランジスタ2がオンしてからの時間)

で示され、第2図(4)の如く、 $E/L_1$ の傾きで時間と共に増加する。この1次電流 $I_1$ は抵抗器3により電圧 $V_1$ として検出され、第1コンパレータ12で基準電圧 $V_{ref1}$ と比較される。そして、 $V_1 > V_{ref1}$ となつた時点で第1コンパレータ12の出力は「1」となりフリップフロップ15はリセットされる。この結果、フリップフロップ15の非反転出力Qは「0」となり、トランジスタ2はオフとなる。トランジスタ2がオフとなると、トランジスタ2のオン期間中に蓄えられたトランス1の磁気エネルギーは2次巻線1Bよりダイオード4を通じて2次電流 $I_2$ として負荷側に放出される。ここで2次電流 $I_2$ は

$$I_2 = I_1 - \frac{E_{out}}{L_2} t \quad \dots \dots (2)$$

(但し、 $E_{out}$ ：2次出力電圧最大値、 $L_2$ ：トランス1の2次インダクタンス、 $I_1$ ：トランス

特開昭54-144922 (3)

- 1の残留エネルギーの等価2次電流、(1)：トランジスタ2がオフしてからの時間)

で示されるように磁気エネルギーの放出にともない時間の経過に従って減少する第2図(B)の如き波形となる。この2次電流I<sub>2</sub>は抵抗器6により電圧v<sub>2</sub>として検出され、第2コンバレーター13で基準電圧V<sub>ref2</sub>と比較される。そして、v<sub>2</sub> < V<sub>ref2</sub>となつたとき第2コンバレーター13の出力は「1」となる。このときフリップフロップ15の反転出力は「1」であるから、アンドゲート14の出力も「1」に変わりフリップフロップ15は再びセットされ、トランジスタ2はオンに作動される。以後、1次電流I<sub>1</sub>が増加してその値が設定値に達したときトランジスタ2はオフされ、2次電流I<sub>2</sub>が減少して当該電流値が所定値を下まわるとトランジスタ2がオンされるというスイッチング動作が繰返される。

上記第1実施例によれば、トランジスタ1の1次電流I<sub>1</sub>のみならず2次電流I<sub>2</sub>をも制御回路10で検出してトランジスタ2のオン、オフ時期を制

御するようにしたので、出力端子A、B間に短絡された場合、過負荷の場合、始動時のI<sub>out</sub>=0の場合、あるいは大容量の容積性負荷の場合に一定周波数のスイッチング動作の電源において生じ易いトランジスタ1の大きな直流通過、それに起因するインダクタンス低下、及びトランジスタ2のオフ動作の応答遅延等によるトランジスタ2のコレクタ電流の増大を簡単な構成で回避することができる。すなわち、2次電流I<sub>2</sub>はI<sub>out</sub>/I<sub>1</sub>の傾斜をもって減少するから、出力電圧E<sub>out</sub>が小さいときは一定期間内での2次電流の減少は僅かである。従って上記の制御を行わない場合には、トランジスタ2のコレクタ電流(=I<sub>2</sub>)はオン時の初期値が大きくなるので、たとえトランジスタ2のコレクタ電流値を検出して過大電流に対してトランジスタ2をオフするようにしたとしてもトランジスタ2のストレージタイム等の影響でコレクタ電流が増加することとは避けられず、さらにトランジスタ1の直流通過によるインダクタンス低下とコレクタ電流の増大とは互に助長しあうのでト

- ランス1についには磁気飽和に達し、トランジスタ2に過大電流が流れて破壊に至る。本実施例によればトランジスタ1の2次電流I<sub>2</sub>が設定値に減少するまでトランジスタ2はオフ状態を続けるから、上述のような現象を確実に防止できる。

なお、自動車によるブロッキング発振器を用いたスイッチング電源でも上記実施例の場合と同じような動作モードとなるが制御の容易さにおいて劣る。すなわち、上記実施例では2入力のアンドゲート14の代りに1入力のアンドゲートを用いて、そのうちの1入力を「1」又は「0」にすることにより作動又は停止の制御が可能な利点がある。また、トランジスタ1の1次電流I<sub>1</sub>あるいは2次電流I<sub>2</sub>の電流検出設定値を可変制御することにより出力制御が可能である。さらに、電流I<sub>1</sub>、I<sub>2</sub>の検出回路手段は各種の変形が可能であり、例えば電流変成器を使うことにより、1次側回路と2次側回路との絶縁及び制御回路の両回路からの絶縁が容易に実施できる。

第3図は出力トランジスタの1次電流及び2次電流

を夫々電流変成器を介して検出するとともに出力電圧を検出して出力の安定化を実行できるようにした本発明の第2実施例を示す。この図において、出力トランジスタ1の1次巻線1Aの一端にはスイッチング用のトランジスタ2が直列に接続され、1次巻線1Aの他端とトランジスタ2のエミッタとの間に、交流入力端子O、Dに供給される交流入力を整流器20で整流しコンデンサ21で平滑した直流通電圧が加えられる。トランジスタ1の2次巻線1Bにはダイオード4、インダクタ22及びコンデンサ5A、5Bから成る整流回路が接続され、直流通出力が出力端子A、B間に出されるようになっている。前記スイッチング用のトランジスタ2のベース回路には入力トランジスタ7の2次巻線7Bが接続され、トランジスタ7の1次巻線7A側にドライバ用のトランジスタ23が設けられる。

一方、制御回路10Aは、トランジスタ1の1次電流I<sub>1</sub>を検出するための電流変成器30と、トランジスタ1の2次電流I<sub>2</sub>を検出するための電流変成器31と、出力端子A、B間に接続される出力電圧

- 電圧値との誤差を出力する誤差増幅器としての演算增幅器32と、1次電流I<sub>1</sub>の検出値と基準電圧V<sub>ref1</sub>とを比較する第1コンバレータ12と、2次電流I<sub>2</sub>の検出値と基準電圧V<sub>ref2</sub>とを比較する第2コンバレータ13と、アンドゲート14Aと、フリップフロップ15とを有する。そして、電流変成器30の第1巻線30Aはトランジスタ2のコレクタ側に挿入され、第2巻線30Bの誘起電圧e<sub>021</sub>は第1コンバレータ12に印加され、第3巻線30Cはダイオード33及び抵抗器34を介して演算増幅器32の出力端子に接続される。演算増幅器32の一方の入力には抵抗器50と可変抵抗器51、抵抗器52で出力電圧を分圧した電圧が加えられ、他方の入力には抵抗器53と定電圧ダイオード54で分圧した電圧が抵抗器55を介して加えられる。また、電流変成器31の第1巻線31Aはトランス1の2次巻線1Bに対しても並列に挿入され、第2巻線31Bの誘起電圧e<sub>022</sub>は第2コンバレータ13に印加される。アンドゲート14Aの第1の入力には抵抗器16及

びコンデンサ17から成る連延回路を介してフリップフロップ15の反転出力Qが加えられ、第2の入力には第2コンバレータ13の出力が加えられるとともに、第3の入力にはコンデンサ35を介して同期入力端子P、G間に供給されている同期信号が加えられる。前記フリップフロップ15の非反転出力Qは抵抗器36を介してドライブ用のトランジスタ23に加えられ、出力Qが「1」(ハイレベル)の期間中トランジスタ23が作動され、これによりスイッチング用のトランジスタ2がオンされるようになっている。なお、前記整流器20の出力側に抵抗器37を介して接続された定電圧ダイオード38両端の電圧が制御回路10Aの電源として供給され、またその電圧は、抵抗器39、40及び41、42で夫々分圧されて基準電圧V<sub>ref1</sub>、V<sub>ref2</sub>として第1、第2コンバレータ12、13に供給されるとともに、抵抗器43及びダイオード44の並列回路を介して前記アンドゲート14Aの第3の入力に加えられる。

以上の構成において、まず、同期信号が同期入

- 力端子P、Gに入力されていない場合を考えると、アンドゲート14Aの第3の入力は抵抗器43により「1」となっており、1次電流I<sub>1</sub>及び2次電流I<sub>2</sub>は夫々電流変成器30、31で検出されるようになっているから、基本的な動作は前述の第1実施例と同様であり、1次電流I<sub>1</sub>が増加して第1の設定値に達したときトランジスタ2はオフされ、2次電流I<sub>2</sub>が減少して第2の設定値を下まわるとトランジスタ2がオンされるというスイッチング動作が繰返され、1次電流I<sub>1</sub>は第4図(A)に示す波形に、2次電流I<sub>2</sub>は第4図(B)に示す波形になる。ここで夫々の設定値は点線H、Jで示される。

さて、前記電流変成器30は第3巻線30Cを有しているから、第2巻線30Bに誘起される電圧e<sub>021</sub>は、第3巻線30Cよりがめた等価負荷インピーダンスによつても変化する。すなわち、出力電圧が大きくなると演算増幅器32の出力電圧が大きくなつて等価負荷インピーダンスが大きくなる。この結果、電圧e<sub>021</sub>は増大し、より小

さなコレクタ電流においてコンバレータ12の出力は「1」に変わりフリップフロップ15をリセットし、トランジスタ2をオフにする。しかして、トランジスタ2のオン時間が縮短され出力電圧は減少する。このような出力電圧を倒錯する負角進作用により出力電圧は一定に保たれる。

前記同期入力端子P、Gに、例えばテレビジョン受像機のフレイバックトランス60よりの同期信号を加える場合には、同期信号入力がないときの定常時の自然動作周波数を同期信号周波数よりやや高めに設定しておけばよく、フリップフロップ15がリセット状態で第2コンバレータ13の出力が「1」でありなおかつ同期信号が「1」(ハイレベル)になったときにアンドゲート14Aの出力は「1」になってフリップフロップ15をセットしてトランジスタ2がオンに作動される。従つて、第4図(O)の如き同期信号に同期してスイッチング電圧は動作することになる。

上記第2実施例によれば、出力端子A、B間短絡の場合や大容量の容量性負荷の場合等簡単な回路の構成

- 路構成によりトランジスタ2に過大電流が流れて破損する事故を確実に防止できるとともに、出力電圧の安定化動作が可能である。また、始動時に自然動作し、定常時尚動動作が可能であることから、テレビジョン受像機の電源等に最適である。さらに、電流変成器30、31を用いて1次電流I<sub>1</sub>及び2次電流I<sub>2</sub>を検出するようにしたので、1次側回路と2次側回路とを絶縁できる利点もある。

なお、上記第2実施例では出力前部のために3組の巻線を有する電流変成器30を用いてトランジスタ2のコレクタ電流の検出値を出力電圧により可変となるようにしたが、負荷変動が大きい場合などに自然動作周波数の変動を減少させる等の目的でトランス1の2次電流I<sub>2</sub>の検出値も出力電圧によって変化させることにしてよい。

第5図は本発明の第3実施例であって、1石フォワードコンバーテ型のスイッティング電源に適用した場合を示す。この図において、出力トランス70の1次巻線70Aの一端にはスイッチング用

特開昭54-144922回

のトランジスタ2が直列に接続され、1次巻線70Aの他端は直流電源の正電源端子Aに、トランジスタ2のエミッタは負電源端子Bに夫々接続される。トランス70の2次巻線70Bにはダイオード71、インダクタ72及びコンデンサ73が接続され、さらにインダクタ72のエネルギー放出時の電流経路としてのダイオード74が設けられ、出力端子A、Bに直流通出力が出されるようになっている。

一方、制御回路10Bは、トランジスタ2がオン状態の時のインダクタ72の電流I<sub>1</sub>、すなわちダイオード71の電流を検出する電流変成器80と、トランジスタ2のオフ期間のインダクタ72の電流I<sub>2</sub>、すなわちダイオード74の電流を検出する電流変成器81と、電流I<sub>1</sub>の検出値と基準電圧V<sub>ref</sub>とを比較する第1コンペレーター12と、電流I<sub>2</sub>の検出値と基準電圧V<sub>ref</sub>とを比較する第2コンペレーター13と、アンドゲート14Aと、フリップフロップ15と、該フリップフロップ15により制御されるドライブ回路11

- とを有する。さらに出力端子A、B間に接続される定電圧ダイオード82及び抵抗器83の直列回路と、それらの接続点の電圧をベースに受けるトランジスタ84と、コレクタ側の抵抗器85とから成る調整増幅器とを備えている。そして、電流変成器80の第1巻線80Aはトランジスタ70の2次巻線70Bに直列に挿入され、第2巻線80Bの誘起電圧e<sub>ref</sub>は第1コンペレーター12に印加され、第3巻線80Cはダイオード86を介して抵抗器85に結ばれる。電流変成器81の第1巻線81Aは前記ダイオード74に直列に挿入され、第2巻線81Bの誘起電圧e<sub>T4</sub>は第2コンペレーター13に印加され、第3巻線81Cはダイオード87を介して抵抗器85に接続される。なお、制御回路10Bの電源として直流電圧+Vが供給されており、アンドゲート14Aには同期入力端子Kより同期信号が印加できるようになっている。

上記構成において、初期状態ではダイオード71の電流I<sub>1</sub>及びダイオード74の電流I<sub>2</sub>共に零であるから、第1回の場合と同様にフリップ

フロップ15はセットされ、ドライブ回路11を介してトランジスタ2はオンに駆動され、始動する。この結果、トランジスタ2のオン期間において入力電力はトランス70を介しダイオード71、インダクタ72を通して出力端子A、Bに接続される負荷に電力が供給される。そして、トランジスタ2のコレクタ電流にはほぼ比例する電流I<sub>1</sub>が増加して所定値に達し、e<sub>ref</sub> > V<sub>ref</sub>となつた時点でフリップフロップ15はリセットされ、トランジスタ2はオフされる。このオフ期間はインダクタ72に蓄えられたエネルギーがダイオード74を通る経路によって負荷に放出される。そして、e<sub>ref</sub> < V<sub>ref</sub>となつた時点でフリップフロップ15はセットされ、トランジスタ2はオンとなる。

以上のようにしてトランジスタ2のスイッティング動作が行われ、必要に応じて同期信号Kを加えることにより第2実施例の場合と同様に同期をとることができ。また、電流変成器80、81の第3巻線80C、81Cの負荷として抵抗器85、

- トランジスタ 84 を含む調査増幅器を接続したから、出力電圧の安定化制御も可能である。

なお、上記第3実施例において、トランジスタ 2 がオン状態のときのインダクタ 72 の電流  $I_1$  を検出する代りにトランジスタ 2 のコレクタ電流を計るようにしてもよい。

第6図は本発明の第4実施例であつて、ブッシュブル型のスイッティング電源に適用した場合を示す。この図において、出力トランス 90 の1次巻線 90A にはスイッティング用のトランジスタ 91、92 がブッシュブル接続され、これらのトランジスタ 91、92 のベース回路には入力トランス 93、94 の夫々設けられる。そして、1次巻線 90A の中点タップは正電源端子 P に、トランジスタ 91、92 のエミッタ及び入力トランス 93、94 の2次側の一端は負電源端子 N に夫々結ばれる。出力トランス 90 の2次巻線 90B には、ダイオード 95、96、インダクタ 97 及びコンデンサ 98 から成る両波整流回路が設けられ、直流出力が出力端子 A、B 間に出されるようになって

- 等により、電流変成器 101 の出力を直流分再生して使用してもよい。また、出力電圧制御及び外部信号同期等は前述の第2、第3実施例にて示した手段により実行可能である。

なお、上記各実施例では、電流検出回路としての抵抗器あるいは電流変成器を用いて検出信号波形をそのまま利用したが、各種の波形修正、整形を行ってタイミングをとり易くする等の変形ができることも明らかである。

以上のように、本発明によれば、出力端短絡事故や容量性負荷等の接続に起因するスイッティング素子の破損を確実に防止して信頼性の向上が可能なスイッティング電源の制御方式を得る。

#### 4. 図面の簡単な説明

第1図は本発明に係るスイッティング電源の制御方式の第1実施例を示す回路図、第2図はその動作を説明するための波形図、第3図は第2実施例を示す回路図、第4図はその動作を説明するための波形図、第5図は第3実施例を示す回路図、第6図は第4実施例を示す回路図である。

特開昭54-144922(6)

一方、制御回路 100 は、トランジスタ 91、92 のエミッタ電流を検出する電流変成器 100 と、インダクタ 97 の全電流の交流分を検出する電流変成器 101 とを有しており、その他の構成は第1実施例における制御回路 10 と同様となっている。ただし、ドライブ回路 11A は、周知のフリップフロップとゲート回路等のロジック回路とを含んでおりブッシュブルドライブ用の信号を各トランジスタ 91、92 に入力トランス 93、94 を介して加えるように構成されている。

上記第4実施例の動作は、スイッティング用トランジスタ 91、92 が交互にオンとなる点を除けば、前述の第1実施例の場合に似かよっており、効果も同様である。

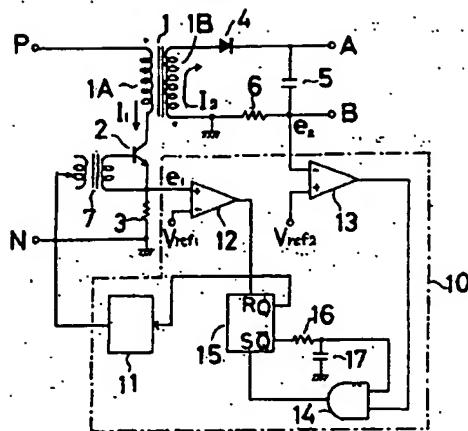
なお、上記第4実施例において、インダクタ 97 の全電流の交流分を電流変成器 101 で検出し、トランジスタ 91、92 のオフ時のインダクタ電流の検出信号としてそのまま使用しているが、電流変成器 100 の出力を利用した同期クランプ

1. 70、90…出力トランス、2. 23、84、91、92…トランジスタ、3. 6、16、36、37、39乃至43、50、52、53、55、83、85…抵抗器、4. 33、44、71、74、86、87…ダイオード、5. 54、58、17、21、35、73、98…コンデンサ、7. 93、94…入力トランス、10. 10乃至100…制御回路、11…ドライブ回路、12…第1コンパレータ、13…第2コンパレータ、14、14A…アンドゲート、15…フリップフロップ、22、72…インダクタ、30、31、80、81、100、101…電流変成器、32…演算増幅器。

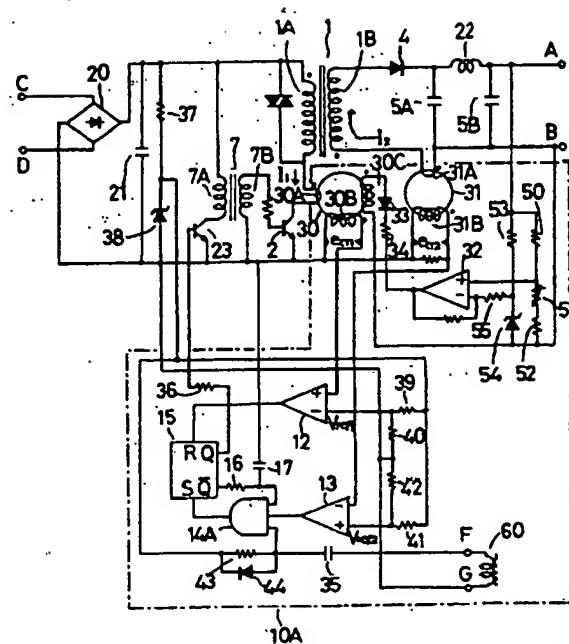
特許出願人 東京電気化学工業株式会社

代理人弁理士 村井 隆

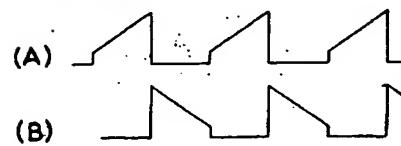
第1図



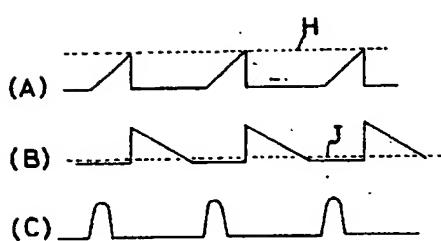
第3図



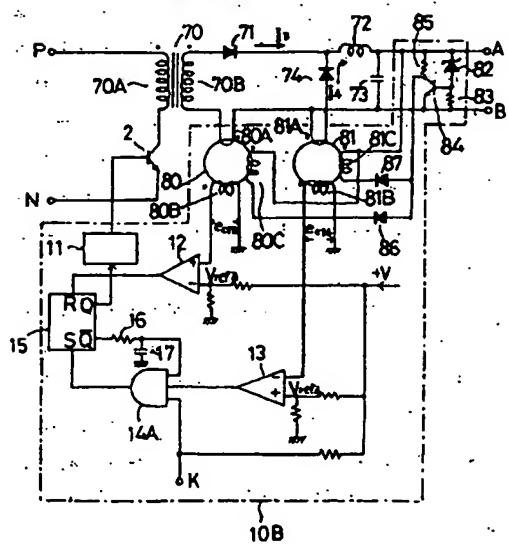
第2図



第4図



第5図



第6回

特開昭54-144922 (B)

手 統 補 正 書 (自 別)

昭和33年7月1日

特許庁長官 熊谷善二

事件の表示

昭和 53 年 特許第 第 52320 号

2. 発明の名称 スイッティング電源の制御方式

3. 补正をする者

事件との関係 特許出願人

住所 東京都中央区日本橋一丁目13番1号  
(306) 東京電気化学会業株式会社

氏名 代表者 富野 福次郎

4. 代理人

人 №154 電話03(412)5852

住所 東京都世田谷区池尻3丁目21番2-3.3

氏名 (7929)弁理士 村井 雄

5. 补正命令の日付

6. 补正により増加する発明の数 なし

7. 补正の対象 明細書の特許請求の範囲の補正の内容



特許請求の範囲の欄を次のように補正する。

「(1) インダクタと該インダクタの電流を断続するスイッチング素子とを有するスイッチング電源において、前記インダクタのエネルギー放出回路の電流を検出し、該放出回路の電流が第1の設定値以下に減じた状態にあるとき前記スイッチング素子をオンさせ、前記インダクタの電流が第2の設定値に達した時前記スイッチング素子をオフさせることを特徴とするスイッチング電源の制御方式。」

(2) スイッチング電源の出力電圧の増大に従って前記第1の設定値を可変する特許請求の範囲第1項記載のスイッチング電源の制御方式。

(3) スイッチング電源の出力電圧の増大に従つて前記第2の設定値を可変する特許請求の範囲第1項又は第2項記載のスイッチング電源の制御方式。

(4) 約記エネルギ放出回路の電流が約記第1の  
設定値以下であることを検出した検出信号と同期  
信号との合成信号により約記スイッチ素子を

オンさせる特許請求の範囲第1項、第2項又は第3項記載のスイッチング電源の制御方式。」

以 上

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: JP-A-54-144922

(43) Date of Publication of Application: November 12, 1979

(21) Application Number: Sho 53-52320

(22) Application Date: May 2, 1978

(72) Inventor: Motoyoshi Fujita

(71) Applicant: Tokyo Denki Kagaku Kogyo K. K.

(74) Representative: Takashi MURAI, Patent Attorney

### Specification

#### 1. Title of the invention

Method of controlling a switching power supply

#### 2. Claims

(1) A method of controlling a switching power supply, which comprises an inductor and a switching element for interrupting a current of the inductor:

wherein a current of an energy emission circuit of the inductor is detected, and

wherein the switching element is turned on when the current of the emission circuit is reduced to a first set value, and the switching element is turned off when the current of the emission circuit reaches a second set value.

(2) The method of controlling a switching power supply as claimed in Claim 1, wherein the first set value is varied as

an output voltage of the switching power supply increases.

(3) The method of controlling a switching power supply as claimed in Claim 1 or Claim 2, wherein the second set value is varied as an output voltage of the switching power supply increases.

(4) The method of controlling a switching power supply as claimed in Claim 1, Claim 2 or Claim 3, wherein the switching element is turned on based on a combined signal of a detection signal obtained by detecting the current of the energy emission circuit and a sync signal.

### 3. Detailed description of the invention

The present invention relates to a method of controlling a switching power supply, which uses an inverter or a converter.

The switching power supplies, which have been heretofore in use, includes various types, such as one-transistor fly-back type, one-transistor forward converter type, chopper type, push-pull type, bridge type, etc. In this connection, when these types of switching power supplies are used as a heavy-load power supply for e.g. a large-output strobe xenon lamp, or when output terminals are short-circuited accidentally, the current of the switching element would increase due to the DC magnetic deflection of output transformer or the response delay of the switching element, and, in time, it would cause breakdown of the switching element owing to over-current. Accordingly, some countermeasure should be worked out. In order to avoid

this inconvenience, an over-current protection circuit, a high-speed switching element and a sufficiently-high-capacity output transformer have been employed. It, however, has a drawback that the power supply becomes expensive and large-sized.

Accordingly, the present invention has been intended to provide a switching power supply, in which the above inconvenience is removed and its reliability can be improved by preventing with certainty the switching element from the breakdown owing to short-circuiting accident of output terminals or the connection of capacitive load etc.

Hereinafter, examples of the method of controlling a switching power supply according to the present invention will be described based on attached drawings.

Fig. 1 is a first example of the present invention, which shows a case where the invention is applied to one-transistor fly-back type switching power supply. In the figure, to one end of the primary winding 1A of an output transformer 1, a transistor 2 as a switching element is serially connected, the other end of the primary winding 1A being connected to the positive power supply terminal P of a DC power supply, and, the emitter of the transistor 2 is connected to the negative power supply terminal N through a resistor 3 which is used for current detection, respectively, the negative power supply terminal N being further grounded. To the secondary winding

1B of the transformer 1, a rectifier circuit composed of a diode 4 and a capacitor 5 is connected, the DC output thereof being supplied to the output terminals A and B. Between the capacitor 5 and the secondary winding 1B, a resistor 6 for detecting current is further inserted. Besides, to the side of base of the transistor 2, an input transformer 7 is provided.

Next, a control circuit 10 is provided with a drive circuit 11 for outputting a drive signal to the transistor 2 through the input transformer 7; a first comparator 12 for receiving the voltage  $e_1$  generated in the resistor 3 to the non-inverting input terminal; a second comparator 13 for receiving the voltage  $e_2$  generated in the resistor 6 to the inverting input terminal; an AND gate 14; and a flip-flop 15 for controlling on-and-off operation of the drive circuit 11. Here, to the respective other input terminals of the first and second comparators 12 and 13, corresponding reference voltages  $V_{ref1}$  and  $V_{ref2}$  are applied, and the output of the first comparator 12 is supplied to a reset input R of the flip-flop 15, while the output of the second comparator 13 is supplied to one input terminal of the AND gate 14, respectively. To the other input terminal of the AND gate 14, the inverted output  $\bar{Q}$  of the flip-flop 15 is applied through a delay circuit, composed of a resistor 16 and a capacitor 17, for preventing a malfunction due to the delay of the circuit, while the output of the AND gate 14 is applied to the setting input S of the flip-flop 15.

The non-inverted output Q of the flip-flop 15 is applied to the drive circuit 11, and the drive circuit 11 applies a drive signal to the transistor 2 to turn it on during the period the output Q being "1" (high-level).

With such a configuration, since, at its initial state as on the start of feeding power, the primary current  $I_1$  and the secondary current  $I_2$  of the transformer 1 are zero, the output of the first comparator 12 becomes "0" (low-level), while the output of the second comparator 13 becomes "1". Thus, the flip-flop 15 is set, even if it has been reset, and the transistor 2 is activated by the drive circuit 11 to start. During the period the transistor 2 is kept on, the primary current  $I_1$  is given by:

$$I_1 = (E/L_1)t + I_0 \dots \dots \dots \quad (1)$$

(wherein, E: Power supply voltage;  $L_1$ : Primary inductance of the transformer 1;  $I_0$ : Equivalent primary current of residual energy of the transformer 1; and t: Time since the transistor 2 was turned on.)

As seen in Fig. 2(A), the primary current  $I_1$  increases with the lapse of time at an incline of  $(E/L_1)$ . This primary current  $I_1$  is detected by the resistor 3 as a voltage  $e_1$ , and compared with the reference voltage  $V_{ref1}$  by the first comparator 12. Then, when it comes to the point where  $e_1 > V_{ref1}$ , the output of the first comparator becomes "1", and the flip-flop 15 is reset. As a result, the non-inverted output

$Q$  of the flip-flop 15 becomes "0" and the transistor 2 is turned off. When the transistor 2 is turned off, the magnetic energy, which has been stored in the transformer 1 during period the transistor 2 was on, is emitted as the secondary current  $I_2$ , from the secondary winding 1B to the side of load through the diode 4. Here, the secondary current  $I_2$  is given by:

$$I_2 = I'_0 - (E_{out}/L_2)t' \dots \dots \dots \dots \quad (2)$$

(wherein,  $E_{out}$ : Maximum value of the secondary output voltage;  $L_2$ : Secondary inductance of the transformer 1;  $I'_0$ : Equivalent secondary current of residual energy of the transformer 1; and  $t'$ : Time since the transistor 2 was turned off.)

As shown in this equation, the secondary current  $I_2$  reduces with the lapse of time, as the magnetic energy is emitted, resulting a waveform as shown in Fig. 2(B). This secondary current  $I_2$  is detected by the resistor 6 as a voltage  $e_2$ , and compared with the reference voltage  $V_{ref2}$  by the second comparator 13. Then, at the point when  $e_2 < V_{ref2}$  is satisfied, the output of the second comparator 13 becomes "1". Since the inverted output  $\bar{Q}$  of the flip-flop 15 is "1", the output of the AND gate 14 becomes also "1", and the flip-flop 15 is set again to cause the transistor 2 to be turned on. Subsequently, the switching operation, in which the transistor 2 is turned off when the primary current  $I_1$  increases to a set value and the transistor 2 is turned on when the secondary current  $I_2$ ,

reduces to come under a predetermined value, is repeated.

According to the first example described above, since on-off timing of the transistor 2 is controlled by detecting not only the primary current  $I_1$ , but also the second current  $I_2$  of the transformer 1, the increase of collector current of the transistor 2 can be prevented with a simple configuration. Such increases of collector current would be caused by the large magnetic deflection of the transformer 1, the reduction of inductance resulting from it, the response delay of the on-off motions of the transistor 2, or the like, in the cases when the power supply uses a fixed frequency for switching motion, or when the output terminals A and B are short-circuited, or when overloaded, or when  $E_{out} \geq 0$  at the start, or when large capacitive load is applied. Namely, since the secondary current  $I_2$  reduces at an incline of  $E_{out}/L_2$ , reduction of the secondary current  $I_2$  within a certain period is small when the output voltage  $E_{out}$  is low. Therefore, if there were not the above control, since the collector current ( $= I_1$ ) of the transistor 2 would become larger in its initial value at the start, it would be unavoidable that the collector current increases under the influence of the storage time etc. of the transistor 2, even if the collector current value of the transistor 2 is detected for turning the transistor 2 off in case of over-current. Furthermore, since reduction of inductance of the transformer 1 due to DC magnetic deflection and increase of

collector current will encourage each other, the transformer 1 would reach the magnetic saturation in time, which causes over-current in the transistor 2 and leads to its breakdown. When the present example is applied, however, since the transistor 2 is kept off until the secondary current  $I_2$  of the transformer 1 reduces to a set value, the phenomena as mentioned before can be avoided with certainty.

Besides, although, in the case of switching power supply using a blocking oscillator or self-excited oscillation, the operation mode similar to the above example would be used, it is inferior to the example in controllability. Namely, the present example has an advantage that, instead of two-input AND gate 14, a three-input AND gate can be used to enable the on-off control by applying "1" or "0" to one of those inputs. Moreover, the output control is possible by varying the set value for current detection of the primary current  $I_1$  or the second current  $I_2$  of the transformer 1. Furthermore, various modification of the circuit means for detecting the currents  $I_1$  and  $I_2$  is possible, for example, a current transformer can be used to insulate easily the primary circuit from the secondary circuit, or insulate the control circuit from both the first and second circuits.

Fig. 3 shows the second example according to the present invention, in which the output stabilization can be carried out by detecting the first and second currents of an output

transformer through respective current transformers and further detecting the output voltage. In the figure, to one end of the primary winding 1A of the output transformer 1, a switching transistor 2 is serially connected, and, between the other end of the primary winding 1A and the emitter of the transistor 2, a DC voltage is applied, which has been obtained from an AC input supplied to AC input terminals C and D by rectifying the AC input by a rectifier 20 and smoothing it by a capacitor 21. To the secondary winding 1B of the transformer 1, a rectifier circuit composed of a diode 4, an inductor 22 and capacitors 5A and 5B is connected, so that a DC output can be supplied to the output terminals A and B. To the base circuit of the switching transistor 2, the secondary winding 7B of an input transformer 7 is connected, while to the side of the primary winding 7A of the transformer 7, a driving transistor 23 is provided.

Next, a control circuit 10A is provided with a current transformer 30 for detecting the primary current  $I_1$  of the transformer 1; a current transformer 31 for detecting the secondary current  $I_2$  of the transformer 1; an operational amplifier 32, as a difference amplifier for outputting a difference between the output voltage value across the output terminals A and B and a desired voltage value; a first comparator 12 for comparing the detected value of the primary current  $I_1$  with a reference voltage  $V_{ref1}$ ; a second comparator

13 for comparing the detected value of the secondary current  $I_2$ , with a reference voltage  $V_{ref2}$ ; an AND gate 14A; and a flip-flop 15. Here, a first winding 30A of the current transformer 30 is inserted to the collector side of the transistor 2, an induced voltage  $e_{ct1}$  of a second winding 30B being applied to the first comparator 12, and a third winding 30C is connected to the output terminal of the operational amplifier 32 through a diode 33 and a resistor 34. To one input of the operational amplifier 32, a voltage divided from the output voltage by a resistor 50, a variable resistor 51 and a resistor 52 is applied, while to the other input, a voltage divided by a resistor 53 and a voltage-regulator diode 54 is applied through a resistor 55. On the other hand, a first winding 31A of the current transformer 31 is serially inserted to the secondary winding 31B of the transformer 1, an induced voltage  $e_{ct2}$  of a second winding 31B being applied to the second comparator 13. To a first input of the AND gate 14A, an inverted output  $\bar{Q}$  of the flip-flop 15 is applied through a delay circuit composed of a resistor 16 and a capacitor 17, while to a second input, the output of the second comparator 13 is applied. Further to a third input, a sync signal, which has been provided across sync input terminals F and G, is applied through a capacitor 35. The non-inverted output Q of the flip-flop 15 is applied to the driving transistor 23 through a resistor 36, and the transistor 23 is activated during the period the output Q is

"1" (high-level), and thereby the switching transistor 2 is turned on. Besides, the voltage across a voltage-regulator diode 38, which is connected to the output side of the rectifier 20 through a resistor 37, is provided as the power supply for the control circuit 10A, and the voltage is divided by resistors 39, 40 and 41, 42, respectively, and supplied to the first and second comparators 12 and 13 as the reference voltages  $V_{ref1}$  and  $V_{ref2}$ , respectively. At the same time, the voltage is also provided to the third input of the AND gate 14A through a parallel circuit of a resistor 43 and a diode 44.

With such a configuration, firstly, considering a case when a sync signal is not supplied to the input terminals F and G, since, the third input of the AND gate 14A is "1" by the effect of the resistor 43 and the primary and secondary currents  $I_1$  and  $I_2$ , are subject to detection by the current transformers 30 and 31, its basic operation is similar to that of the above first example; i.e., the switching operation, in which the transistor 2 is turned off when the primary current  $I_1$  increases to reach a first set value and the transistor 2 is turned on when the secondary current  $I_2$  reduces to come under a second set value, is repeated. Thus, the primary current  $I_1$  produces a waveform shown in Fig. 4(A), while the secondary current  $I_2$  produces a waveform shown in Fig. 4(B), wherein respective set values are shown by dotted lines H and J.

Here, since the current transformer 30 is provided with

a third winding 30C, the voltage  $e_{CT1}$  induced in the second winding 30B varies in accordance with the equivalent load impedance observed by the third winding 30C. Namely, as the output voltage increases, the output voltage of the operational amplifier 32 also increases, resulting a larger equivalent load impedance. As a result, since the voltage  $e_{CT1}$  increases, the output of the comparator 12 is changed to "1" at a smaller collector current, and it causes the flip-flop 15 to be reset and the transistor 2 to be turned off. Then, the time period the transistor 2 is on is shortened, and thereby the output voltage reduces. By such a negative feedback operation for controlling the output voltage, the output voltage can be maintained constant.

In the case when a sync signal, which is provided from e.g. the fly-back transformer 60 of a television receiver, is applied to the sync input terminals F and G, the frequency for a natural operation at steady state, with no sync input, may be set slightly higher than that of the sync signal, so that, if the sync signal becomes "1" (high-level), while the flip-flop 15 is reset and the output of the second comparator 13 is "1", then the output of the AND gate 14A becomes "1" and it causes the flip-flop 15 to be set to activate the transistor 2 on. Therefore, the switching operation will be performed in synchronization with the sync signal as shown in Fig. 4(C).

According to the second example described above, even

when the output terminals A and B are short-circuited or when large capacitive load is applied or the like, the breakdown of the transistor 2 due to over-current can be surely prevented with a simple circuitry, and further the stabilizing control of the output voltage becomes possible. Moreover, the natural operation at its start and the sync operation at steady state are possible, and thereby it is the most suitable in use for the power supply etc. of television receiver. Furthermore, since the primary and secondary currents  $I_1$  and  $I_2$  are detected using the current transformers 30 and 31, it also has an advantage that the primary circuitry can be insulated from the secondary circuitry.

In addition, although, in the above second example, the current transformer 30 having three windings is used for the output control so that the detected value of collector current of the transistor 2 can be varied in accordance with the output voltage, the secondary current  $I_2$  of the transformer 1 may be also varied in accordance with the output voltage, for the purpose of reducing the frequency fluctuation in natural operation, in the case there is a large load fluctuation or the like.

Fig. 5 is a third example of the present invention, which shows a case where the invention is applied to one-transistor forward-converter type switching power supply. In the figure, to one end of the primary winding 70A of an output transformer

70, a switching transistor 2 is serially connected, the other end of the primary winding 70A being connected to a positive power supply terminal P of a DC power supply, and, the emitter of the transistor 2 is connected to a negative power supply terminal N, respectively. To the secondary winding 70B of the transformer 70, a diode 71, an inductor 72 and a capacitor 73 are connected, and a diode 74 is further provided as a current passage when the energy of the inductor 72 is emitted. Thus, the DC output is supplied to the output terminals A and B.

Next, a control circuit 10B is provided with a current transformer 80 for detecting the current  $I_3$  of the inductor 72 when the transistor 2 is on, i.e. the current of the diode 71; a current transformer 81 for detecting the current  $I_4$  of the inductor 72 when the transistor 2 is off, i.e. the current of the diode 74; a first comparator 12 for comparing the detected value of the current  $I_3$  with a reference voltage  $V_{ref3}$ ; a second comparator 13 for comparing the detected value of the secondary current  $I_4$  with a reference voltage  $V_{ref4}$ ; an AND gate 14A; a flip-flop 15; and a drive circuit 11 that is controlled by the flip-flop 15. Further, a serial circuit composed of a voltage-regulator diode 82 and a resistor 83, and a difference amplifier composed of a transistor 84, the base thereof receiving the voltage of the interconnection of the serial circuit, and a resistor 85 on the collector side, are connected across the output terminals A and B. Besides, the primary

winding 80A of the current transformer 80 is serially inserted to the secondary winding 70B of the transformer 70, the voltage  $e_{CT3}$  induced in the secondary winding 80B being applied to the first comparator 12, and the third winding 80C is coupled with a resistor 85 through a diode 86. The primary winding 81A of the current transformer 81 is serially inserted to the diode 74, the voltage  $e_{CT4}$  induced in the secondary winding 81B being applied to the second comparator 13, and the third winding 81C is coupled with the resistor 85 through a diode 87. Moreover, a DC voltage +V is supplied as the power source for the control circuit 10B, and the sync signal is supplied to a terminal K for applying it to the AND gate 14A.

In the configuration described above, since at the initial state both the current  $I_3$  of the diode 71 and the current  $I_4$  of the diode 74 are zero, similarly to the case of Fig. 1, the flip-flop 15 becomes set and the transistor 2 is driven to start by the drive circuit 11. As a result, during the period the transistor 2 is on, the input power is supplied to the load connected to the output terminals A and B through the transformer 70, the diode 71 and the inductor 72. Here, at the point when the current  $I_3$ , in substantially proportion to the collector current of the transistor 2 increases and reaches a predetermined value, where  $e_{CT3} > V_{ref3}$  is satisfied, the flip-flop 15 is reset and the transistor 2 is turned off. During this off period, the energy stored in the inductor 72 is emitted

to the load through the passage including the diode 74. Then, at the point where  $e_{CT4} < V_{ref4}$  is satisfied, the flip-flop 15 is set and the transistor 2 is turned on.

In this manner the switching operation of the transistor 2 is performed, and, if need be, a sync signal K may be applied to synchronize similarly to the case of the second example. Furthermore, since the difference amplifier including the resistor 85 and the transistor 84 is provided as a load to the respective third windings 80C and 81C of the current transformers 80 and 81, the stabilization control of output voltage becomes possible as well.

In addition, in the above third example, instead of detecting the current  $I_3$  of the inductor 72 when the transistor 2 is on, the collector current of the transistor 2 may be measured.

Fig. 6 is a fourth example of the present invention, which shows a case where the invention is applied to push-pull type switching power supply. In the figure, to the primary winding 90A of an output transformer 90, switching transistors 91 and 92 are connected in a push-pull arrangement, the base circuits of these transistors 91 and 92 being provided with input transformers 93 and 94, respectively. Here, the center tap of the primary winding 90A is coupled with a positive power supply terminal P, while the emitters of the transistors 91 and 92 and respective one ends of the secondary windings of the input

transformers 93 and 94 are coupled with a negative power supply terminal N, respectively. To the secondary winding 90B of the output transformer 90, a full-wave rectifier circuit composed of diodes 95 and 96, an inductor 97 and a capacitor 98 is provided, and the DC output is supplied to the output terminals A and B.

Next, a control circuit 10C is provided with a current transformer 100 for detecting the emitter current from the transistors 91 and 92; a current transformer 101 for detecting the AC component of the total current of the inductor 97; and other devices similar to the control circuit 10 as in the first example. The drive circuit 11A, however, includes a well-known T-flip-flop and a logic circuitry such as gate circuit, and is configured to apply the signals for push-pull drive to the transistors 91 and 92 through the respective input transformers 93 and 94. The operation in the fourth example is similar to that in the case of the first example described above, except that the switching transistors 91 and 92 are alternately turned on, and it produces the similar effect.

In addition, although, in the above fourth example, the AC component of the total current of the inductor 97 is detected by the current transformer 101 and it is directly used as the detected signal of the inductor current when the transistors 91 and 92 are off, the DC-restoration of the output of the current transformer 101, by the synchronization clamping etc.

based on the output of the current transformer 100, may be also used. Moreover, the output voltage control, the external signal synchronization, etc. can be carried out by the same procedure as shown in the second and third examples described above.

Furthermore, although, in each of those examples described, resistors or current transformers are used as current detector circuits and the waveforms of detected signals are directly used, it is clear that various modifications are possible for improving the timing of operation by e.g. some waveform correction or shaping.

As described heretofore, according to the present invention, it is possible to provide a method of controlling a switching power supply, by which the breakdown of switching element, due to short-circuiting accident of output terminals or the connection of capacitive load etc., can be prevented with certainty.

#### 4. Brief description of the drawings

Fig. 1 is a circuit diagram showing a first example of a control method of switching power supply according to the present invention; Fig. 2 is a waveform diagram explaining an operation thereof; Fig. 3 is a circuit diagram showing a second example; Fig. 4 is a waveform diagram explaining an operation thereof; Fig. 5 is a circuit diagram showing a third example; and Fig. 6 a circuit diagram showing a fourth example.

1, 70, 90...Output transformer; 2, 23, 84, 91,  
92...Transistor; 3, 6, 16, 36, 37, 39-43, 50, 52, 53, 55, 83,  
85...Resistor; 4, 33, 44, 71, 74, 86, 87...Diode; 5, 5A, 5B,  
17, 21, 35, 73, 98...Capacitor; 7, 93, 94...Input transformer;  
10, 10A-10C...Control circuit; 11...Drive circuit; 12...First  
comparator; 13...Second comparator; 14, 14A...AND gate;  
15...Flip-flop; 22, 72...Inductor; 30, 31, 80, 81, 100,  
101...Current transformer; and 32...Operational amplifier.

Written Amendment (Voluntary)

Date of Amendment: July 1, 1978

Subject of Amendment: Claims

Amendment

Please amend the claims as follows:

(1) A method of controlling a switching power supply, which comprises an inductor and a switching element for interrupting a current of the inductor:

wherein a current of an energy emission circuit of the inductor is detected, and

wherein the switching element is turned on when the current of the emission circuit is under a state where it is smaller than a first set value, and the switching element is turned off when the current of the emission circuit reaches a second set value.

(2) The method of controlling a switching power supply as claimed in Claim 1, wherein the first set value is varied as an output voltage of the switching power supply increases.

(3) The method of controlling a switching power supply as claimed in Claim 1 or Claim 2, wherein the second set value is varied as an output voltage of the switching power supply increases.

(4) The method of controlling a switching power supply as

claimed in Claim 1, Claim 2 or Claim 3, wherein the switching element is turned on based on a combined signal of a detection signal obtained by detecting that the current of the energy emission circuit is smaller than the first set value and a sync signal.

Fig. 1.

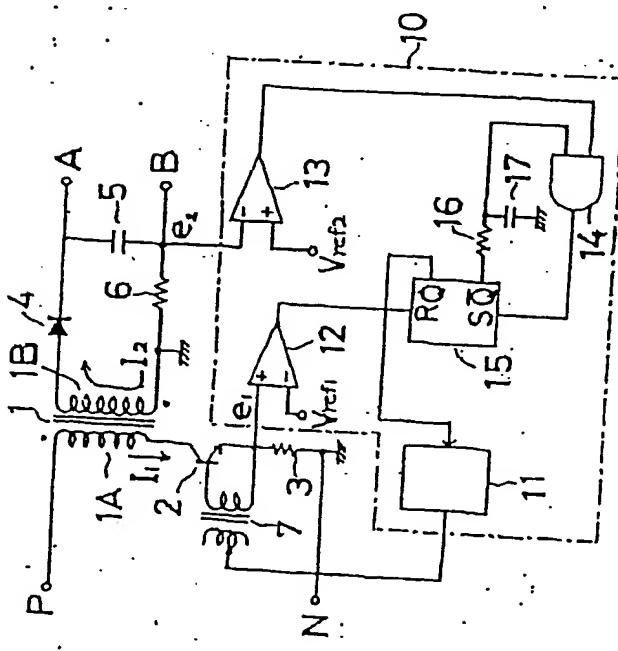
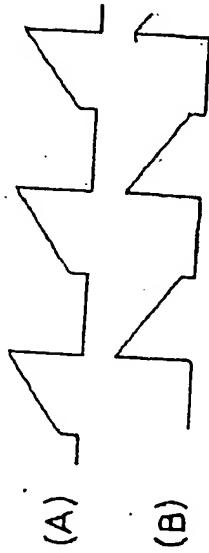


Fig. 2



3  
Fig.

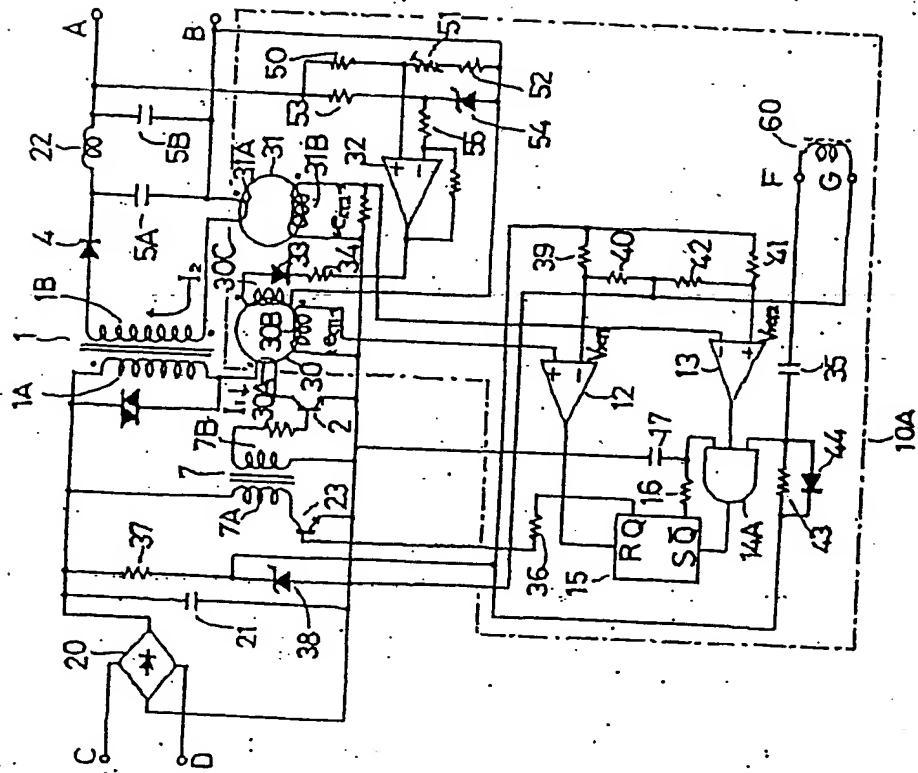


Fig. 4

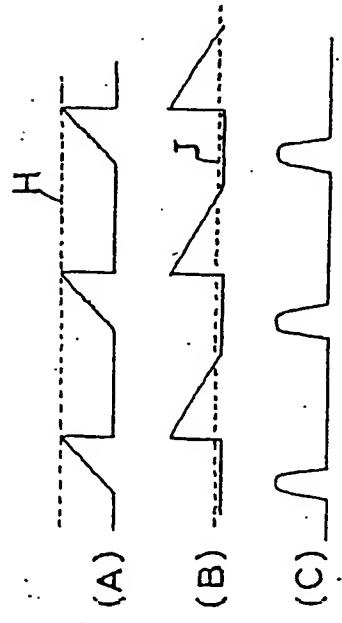


Fig. 5

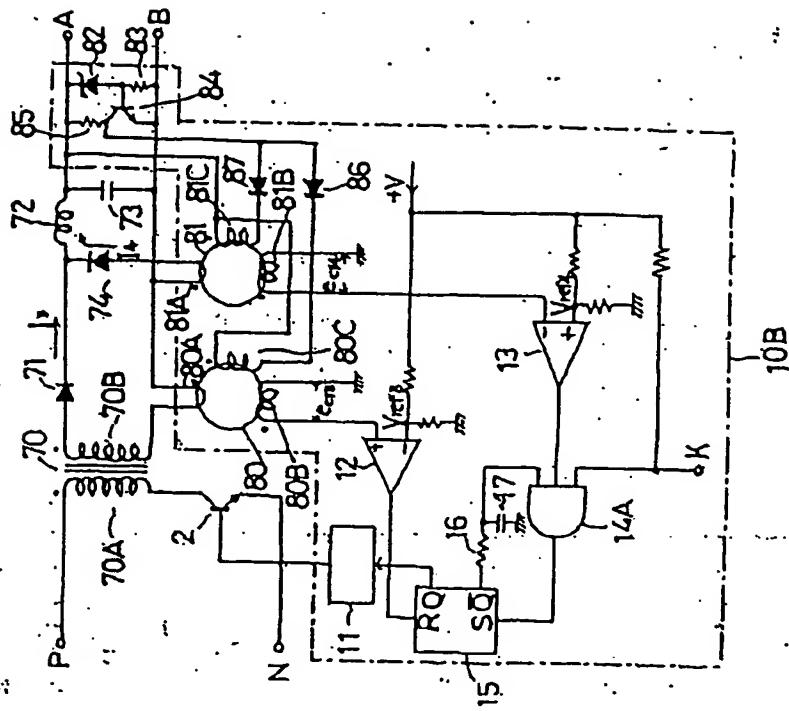
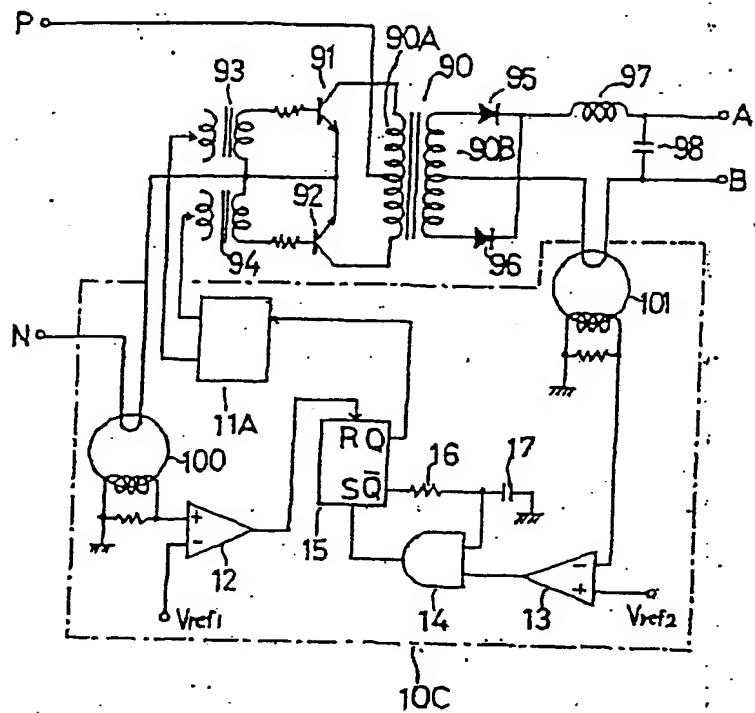


Fig. 6



BEST AVAILABLE COPY

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

